

# 600V コンバータ／インバータ／ブレーキ（CIB）

## — 中出力用途向け集積化 SOI ゲートドライバーIC 内蔵モジュール

B. Vogler\*, M. Roßberg\*\*, R. Herzer\*\*, L. Reusser\*\*, T. Wurm\*\*

\*\* SEMIKRON Elektronik GmbH & Co KG Germany, \* TU Ilmenau Germany

### 概要

駆動回路とパワーブリッジの両方を 1 チップに搭載した完全統合ソリューション、または、少なくとも従来のハイブリッド IGBT や MOS ドライバーに代わる IC ベースのドライバーを実装したインテリジェントパワーモジュール (IPM) は、低出力用途 (600V/1200V、< 30A) に限られますが、IPM の電流範囲を 30A から最大 100A に拡張することで、中出力市場にも対応できます。本論文では、セミクロンの Mini-SKiiP 技術に基づく確立された CIB モジュールと、高度な Silicon on Insulator (SOI) ゲートドライバー-HVIC を、冷却性に優れコスト面で優れた低インダクタンスのパッケージに搭載するという中出力 IPM の新しいアプローチについて述べます。

### 1 まえがき

約 20A の 600V および 1200V クラスのインテリジェントパワーモジュール (IPM) では、数年前から、サイズとコストを低減し、信頼性を高めるために、高耐圧集積回路 (HVIC) が従来のハイブリッドドライバーソリューションに取って代わりつつあります。さらに、HVIC の使用により、トータルコストを高めることなく、より複雑な機能を統合することができます。

モジュールの DCB 基板に直接マウントされた 7 チャンネル SOI ゲートドライバー-HVIC などの中出力用途 (600V、50A) 向け CIB-IPM ソリューションについて述べます。

### 2 アセンブリ

IPM パッケージは、セミクロンの確立された Mini-SKiiP 技術に基づきます[1]。図 1 にアセンブリの例を示します。その利点は、主に、DCB 基板の下にベースプレートがなく、DCB とボードの間の主接続と補助接続のすべてにスプリングコンタクトを備えた画期的なパッケージにあります。スプリングコンタクトは、プラスチックケースに埋め込まれています。システム全体がモジュールキャップとともに、1 本のネジだけでヒートシンクにマウントされます。このため、アセンブリが容易で、熱サイクル・パワーサイクル耐量と耐震性が高くなっています。パッケージ内では、必要なパワーデバイス、SMD、センサ、およびゲートドライバー-HVIC のすべてを共通の DCB 基板上に容易に組み付けることができます。

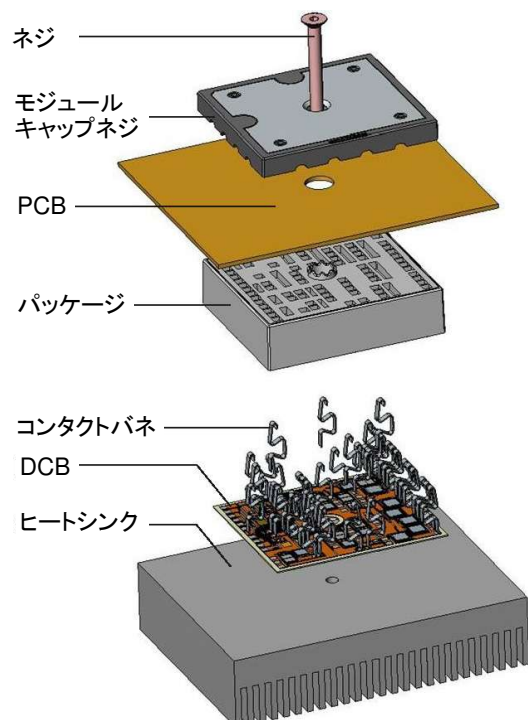


図 1 Mini-SKiiP アセンブリ例

### 3 トポロジーと DCB レイアウト

IPM の回路構成を図 2 に示します。CIB モジュールの通常のパワー回路、すなわち、3 相コンバータ、IGBT ハーフブリッジ 3 個で構成される 3 相インバータ、およびブレーキチョッパを含んでいます。この回路が 7 チャネルゲートドライバーHVIC で拡張されています。これは、インバータの 6 つの IGBT (3×TOP、3×BOT) とブレーキチョッパの IGBT (BOT) を駆動することができます。さらに、温度センサが組み込まれています。図 3 は、すべてのデバイスが取り付けられた DCB 基板のレイアウトを示しています。DCB 基板は薄いセラミックプレート (0.38mm) でできており、両面が銅被覆されています (0.2mm)。表面の銅の層は、最小ピッチ 0.8mm の回路構成に従った構造です。パワー半導体と温度センサの裏面は DCB にはんだ付けされ、表面の太いアルミボンディングワイヤで接続されます。

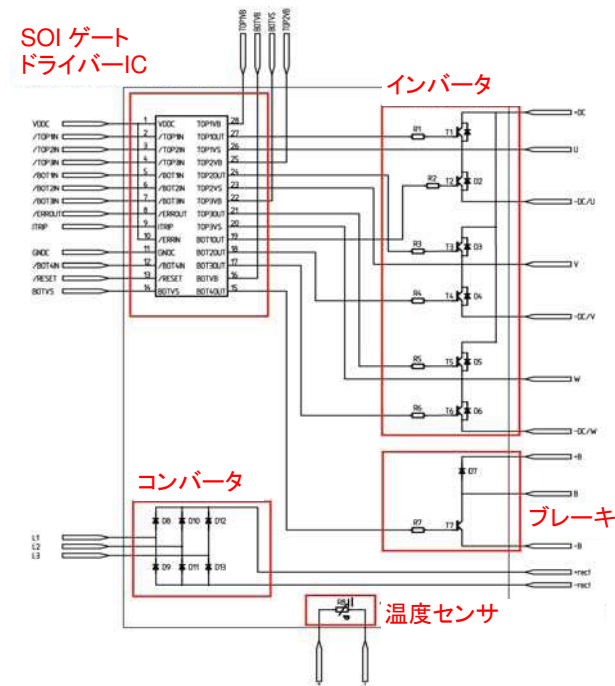


図 2 新しい Mini-SKiiP-IPM のブロック回路図

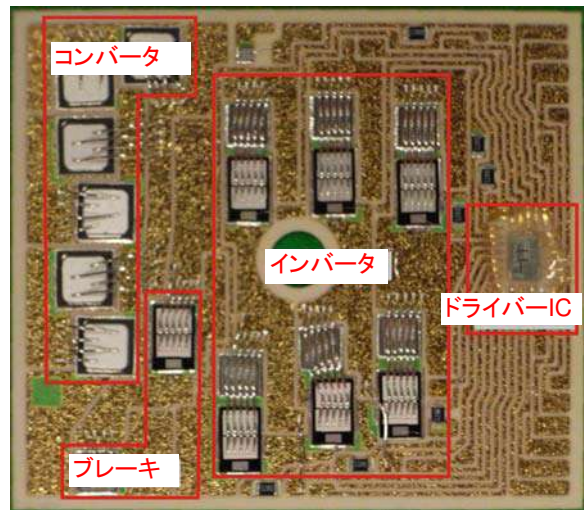


図 3 DCB の写真、サイズ: 57×50mm<sup>2</sup>

ゲートドライバーHVIC チップと SMD ゲートレジスタは DCB に導電性接着剤で組み付けられます。HVIC パッドと DCB の銅配線間の接続は細いボンドワイヤ (25 μm) によって実現されます (図 4 を参照)。DCB 上の配線経路が非常に短く、コンパクトなため、低インダクタンスが達成されています。HVIC と細いボンドワイヤはオプションで専用材料によりカバーすることもできます。DCB 基板とマウントされたデバイスはシリコンゲルで保護されます。

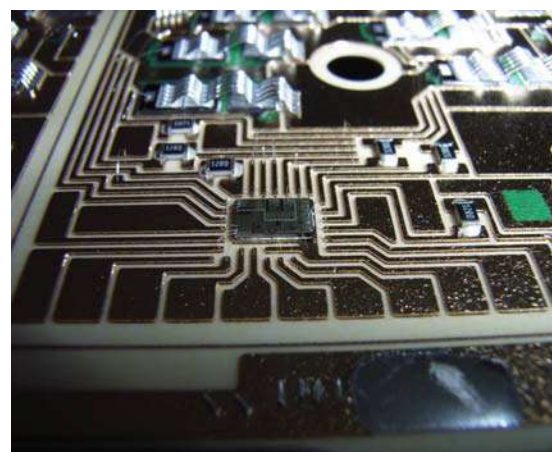


図 4 DCB 基板上の SOI ゲートドライバーHVIC のアセンブリ

## 4 600V 7チャンネルゲートドライバーIC

集積7チャンネルゲートドライバーHVICの技術的プラットフォームは600V SOI ファウンドリ技術[2][3]であり、バックゲート効果がないすべてのデバイス単体の完全な誘電体分離が特長です。このSOI技術の他の重要な利点はpn絶縁技術と比較してリーク電流がかなり小さく、動作温度が高く( $T_{jmax}=200^{\circ}\text{C}$ まで)、集積密度が高いことです。

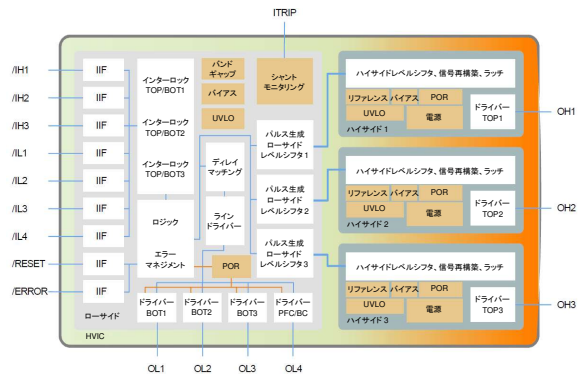


図5 7チャンネルゲートドライバーHVICのブロック回路図

図5は7チャンネルゲートドライバーHVICのブロック回路図を示しています。HVICは一対インターロック付きの3つのトップ(TOP)および3つのボトム(BOT)駆動信号と、ブレーキチョップまたはPFC回路用に使用可能な4番目の独立BOT信号を処理します。

エラーマネジメント回路が組み込まれており、内部エラー(電圧低下)だけでなく、入力/IN\_ERRに適用される外部エラー要求と入力ITRIPによって検出される過電流もそれぞれ処理します。エラーが発生すると、すべてのチャンネルがターンオフします。双方向ピン/RESETは電源電圧のターンオン後の初期化状態など、外部コンポーネントのリセット要求(パワーオンリセット:POR)を出すことができますが、外部リセット要求を受けて、HVICを強制的に初期状態に戻すこともできます。このように、他のコンポーネントも含めたシステムの初期化をバスシステムによって非常に簡単に実現できます。

入力はTTLおよび3.3V CMOSロジックに適應します。過電流入力ITRIPは内部電圧閾値(標準値430mV)を超えた場合、エラー信号を出します。ドライバー出力は電源電圧15V、常温でピーク電流約500mA/650mA(ソース/シンク)です。電源電圧モニタリング(電圧低下ロックアウト:UVLO)とパワーオンリセット(POR)用のバンドギャップリファレンスが、各TOPチャンネルの1次側と2次側に内蔵されています。電源電圧は、12Vから17Vまでです。入出力間の標準的な信号伝播遅延は約300nsです。

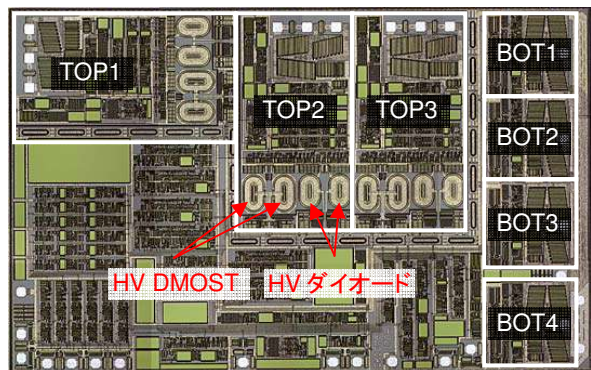


図6 7チャンネルゲートドライバーHVICのチップ写真(サイズ: 約4.9x3.1mm<sup>2</sup>)

図6は、600V SOI技術の7チャンネルゲートドライバーHVICのチップ写真です。チップサイズは、約15mm<sup>2</sup>です。TOPチャンネルのレベルシフト回路にある高耐圧デバイス(DMOSトランジスタ、HVダイオード)と、7つのドライバー段がよくわかります。

## 5 高度なレベルシフトコンセプト

低電流用途でもそうですが、中高電流用途ではなおさら、高電流または高  $di/dt$  がスイッチされるので、電源層の寄生素子で正と負の電圧ピークが発生する可能性があります。このような電圧ピークは、ゲートドライバーの 1 次側と 2 次側の間で大きな電圧低下（オフセット電圧）をもたらすことがあります。特に負のオフセット電圧は接合分離された HVIC にとって重大です[4][5]。これらの HVIC では、通常、ラッチアップを防ぐには、接地電位以下数ボルト（標準値 -5V）しか許容されません[6]。したがって、中出力用途向けの設計目標は 1 次側（制御ロジック）と 2 次側（ドライバー）間の動作電圧シフトの範囲を大幅に広げることです。このためには、BOT と TOP の両チャンネルに、「バイポーラ」動作を可能にする高度なレベルシフトコンセプトが必要です。

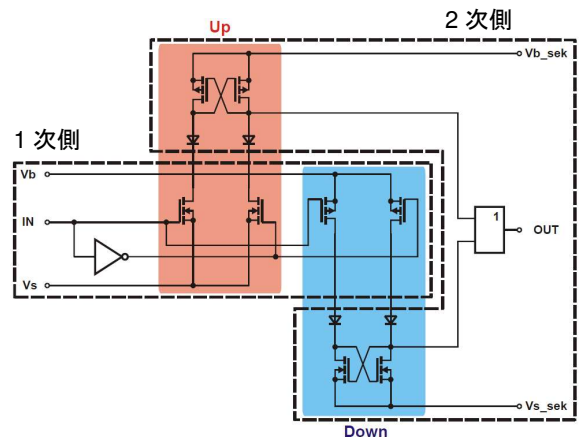


図7 BOT チャンネル用上下レベルシフトによる回路原理

この特定のレベルシフトコンセプトが、SEMIKRON のゲートドライバーHVIC で実現されています[7]。BOT チャンネルレベルシフトの回路原理を図7に示します。アップレベルシフトとそれを補完するダウンレベルシフトの2つの個別の伝送路で構成されています。従来のCMOSレベルシフトに加えて、各パスにダイオードが追加された構成になっています。アップレベルシフトとダウンレベルシフトは、両方ともラッチの機能を備えた2つのクロスカップリング並列回路を使用します。したがって、静的電圧条件下ではクロス電流は流れません。各デバイスの完全な誘電体分離により、回路自体がラッチアップフリーです。このため、また、使用のSOI技術のバックゲート効果の低さから、回路のすべての部分が望ましい電位を維持することができます。最大許容オフセット電圧は、レベルシフトトランジスタのブレイクダウン電圧によってのみ制限されます。

1次側と2次側間のオフセット電圧 ( $V_{\text{offset}} = V_{\text{vs\_sek}} - V_s$ ) の極性に応じて、アップレベルシフト ( $V_{\text{offset}} \geq 0V$ ) またはダウンレベルシフト ( $V_{\text{offset}} \leq 0V$ ) が印加入力信号を1次側から2次側に伝えます。不活性パスは逆バイアスをされたダイオードによりブロックされます。2次側で信号を再構築するには、単純な論理回路を使用できます。

TOP チャンネルレベルシフトの回路原理を図8に示します。BOT チャンネルと同様、このレベルシフトも高電圧アップレベルシフトと低電圧ダウンレベルシフトという2つの補完的部分で構成されます。600Vの耐圧を有するp-MOSデバイスは存在しないので、ダウンレベルシフトでの高い逆電圧を阻止するために、高耐圧n-DMOSトランジスタと高耐圧ダイオードを必要とするパルス信号伝送が使用されます。パルス伝送が適用されるのは、クロス電流と損失を最小化するためですが、BOTチャンネルと比較すると、より複雑な信号形成と再構築が必要です。レベルシフトごとの2つの回路による差動伝送、2次側の強固な信号処理、および信号再構築により、電源層からの寄生カップリングに対し、最大限の耐性が得られます。

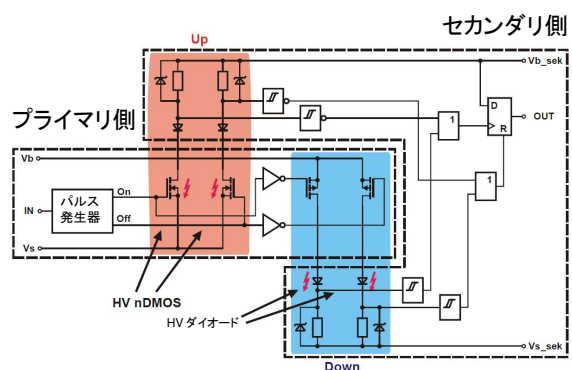


図8 TOP チャンネル用上下レベルシフトによる回路原理

## 6 温度シミュレーション

IPM の DCB に直接接着されたゲートドライバーHVIC の温度特性を調べるために、いくつかのシミュレーションが行われました。シミュレーションを実行するために、SOI 層の構造、接着剤の層、DCB、ヒートシンクも含めた、HVIC アセンブリの完全な 3D モデリングを行いました。

図 9 は損失 1W の HVIC の温度分布を示しています。HVIC の損失の大部分は、7 つのドライバー段によるものと思われます(均一な分布)。ヒートシンク温度は境界条件として 85°C に保たれています。シミュレーションでは、右下の最も高温なドライバー段で  $T_{jmax} \sim 89^\circ\text{C}$  の最高接合温度が見られました。これは、接合からヒートシンクへの熱抵抗が非常に低いことを示しています ( $R_{thjh} \sim 4\text{K/W}$ )。これは、HVIC から DCB 基板を通じたヒートシンクへの良好な熱的接続により達成されています。

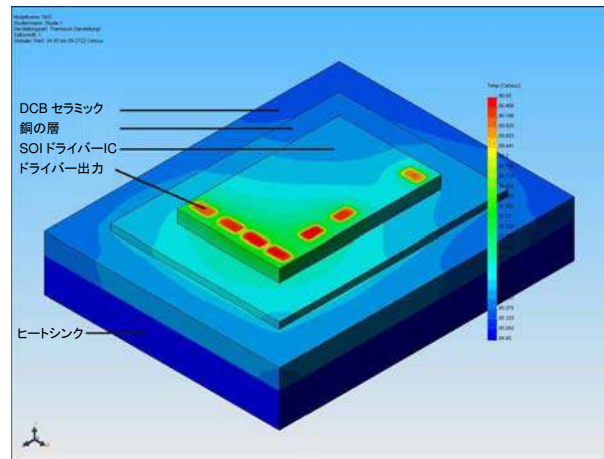


図 9 DCB 基板上の 7 チャンネルゲートドライバーHVIC の温度シミュレーション

## 7 測定結果

600V/50A IGBT3 (Trench Fieldstop [8]) と 600V/50A CAL3 フリーホイールダイオード[1] が搭載された IPM に対して、動特性/スイッチング特性を中心としたいくつかの機能テストが行われました。

図 10 と 11 は 400V DC リンク電圧での BOT-IGBT のうちの 1 つのターンオン動作およびターンオフ動作を示しています。

合計スイッチング損失 ( $E_{on} + E_{off} = 4.5\text{mJ}$ ) は外部ハイブリッドドライバーを使用して測定された同等の Mini-SKiiP のデータシート値 ( $3.2\text{mJ} @ 150^\circ\text{C}$ ) より、いくぶん大きくなっています。これは、HVIC のドライバー電流が制限されているためです ( $500\text{mA}/650\text{mA}$  ソース/シンク)。スイッチング損失を低減するために、ドライバーのチップサイズをあまり大きくせずに、ドライバー容量を 1A まで高めることができます。図 12 は、定格電流の 2 倍での 1 つの BOT-IGBT のダブルパルス測定を示しています。この場合、他のすべてのチャンネルは大きな  $dV/dt$  および  $dI/dt$  の影響を受けません。

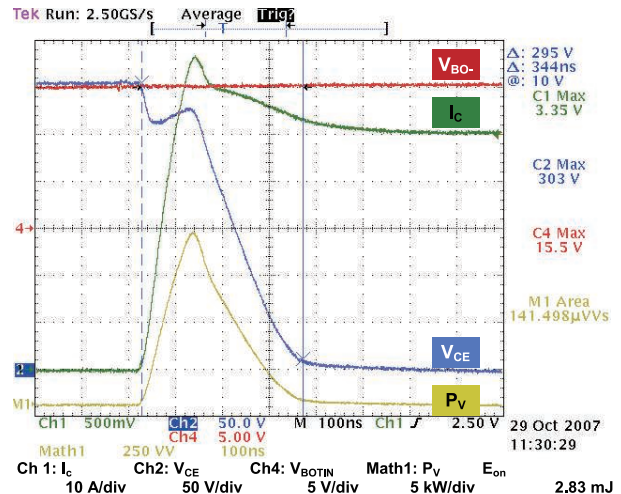


図 10 BOT-IGBT ターンオンおよびスイッチング損失 (定格電流 (50A)、 $V_{DC}=400\text{V}$ 、 $T_{Case} = 27^\circ\text{C}$ )

これは、ゲートドライバーHVIC の耐ノイズ性の高さとクロストークの低さを示しています。短絡動作特性(タイプI、低インダクタンス)を図13に示します。IGBTは、350Aの飽和電流レベルで安全にターンオフし、コレクタ電圧オーバーシュートは50V以下です( $V_{CE,max} = 447V$ )。

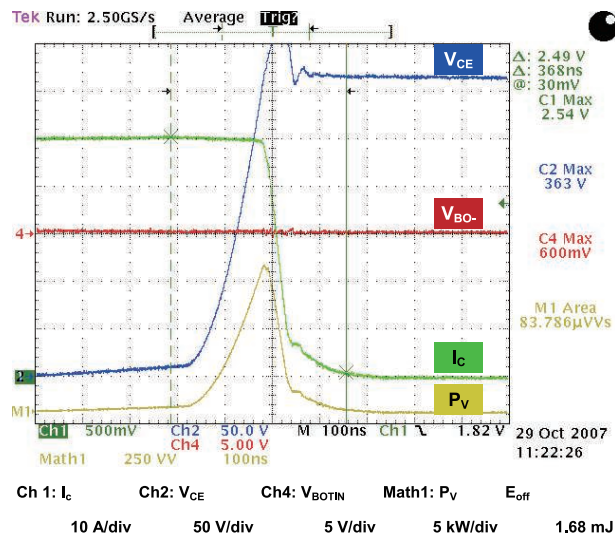


図 11 BOT-IGBT ターンオフおよびスイッチング損失 (定格電流(50A)、 $V_{DC}=400V$ 、 $T_{Case} = 27^{\circ}C$ )

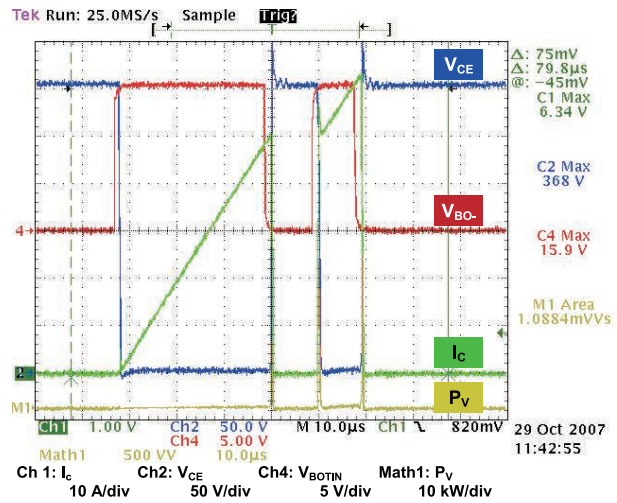


図 12 ダブルパルス測定(BOTチャネル、定格電流の2倍(100A)、 $V_{DC}=300V$ 、 $T_{Case} = 27^{\circ}C$ )

## 8 結論

高い集積度と実績のあるアセンブリを有する中高出力用途(600V、50A)向けの新しいインテリジェントパワーCIB-IPM モジュールについて述べました。新しいレベルシフトコンセプトにより、負の電圧も含み、印加されたあらゆる2次側基準電圧に対し、完全な機能性を保つことができる堅固なSOI 7チャネルゲートドライバーHVICは、高信頼性を有するIGBTを駆動することができます。パワー半導体とドライバーの優れた冷却性により、高温動作が可能となり、高い堅牢性と長寿命を実現します。

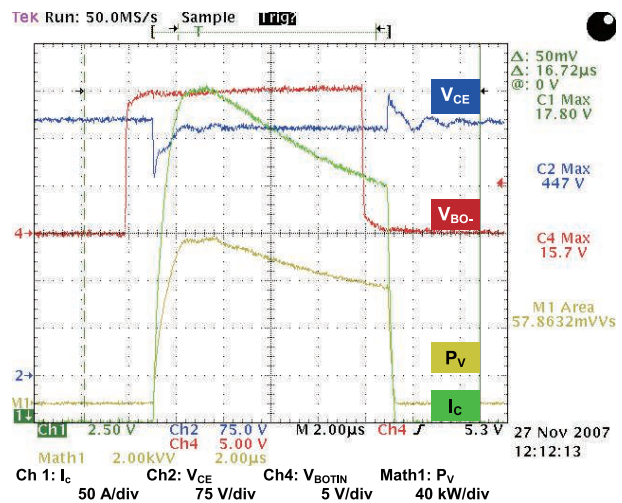


図 13 BOT-IGBT 短絡動作(タイプI、低インダクタンス、 $V_{DC}=400V$ 、 $T_{Case} = 27^{\circ}C$ )

## 9 参考文献

- [1] R.Herzer, R.Popp, B.Koenig, K.Haeupl "Mini-SKiiP II- Benchmark for 600V CIB modules", Proceedings ISPSD 2004, pp. 297-300
- [2] T.Letavic, E.Arnold, M.Simpson, R.Aquino, H. Bhimnathwala, R.Egloff, A.Emmerik, S.Wong, S.Mukherjee, „High Performance 600V Smart Power Technology Based on Thin Layer Silicon-on-Insulator“, Proceedings ISPSD 1997, pp. 49-52
- [3] T.Letavic, M.Simpson, E.Arnold, E.Peters, R.Aquino, J.Curcio, S.Herko, S.Mukherjee, „600V Power Conversion System-on-a-Chip Based on Thin Layer Silicon-on-Insulator“, Pro-ceedings ISPSD 1999, S. 325-328
- [4] T.Takahashi, „Power Conversion Processor™ Architecture and HVIC Technology for AC Mo-tor Drive“, Proceedings CIPS 2000, pp. 73-81
- [5] Data sheet, L6384, STMicroelectronics, 2000
- [6] Data sheet, IR2131, International Rectifier, 2004
- [7] M.Roßberg, B.Vogler, R.Herzer: "600V SOI Gate Driver IC with Advanced Level Shifter Concepts for Medium and High Power Applica-tions", Proceedings EPE 2007
- [8] H.Ruething, F.Umbach, O.Hellmund, P.Kan-schat, G.Schmidt:"600V-IGBT3: Trench Field Stop Technology in 70µm Ultra Thin Wafer Technology", ISPSD 2003 Proceedings, pp. 63-66